



IEC 62271-101

Edition 2.1 2017-11
CONSOLIDATED VERSION

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**High-voltage switchgear and controlgear –
Part 101: Synthetic testing**

**Appareillage à haute tension –
Partie 101: Essais synthétiques**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 29.130.10

ISBN 978-2-8322-5136-2

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

REDLINE VERSION

VERSION REDLINE



**High-voltage switchgear and controlgear –
Part 101: Synthetic testing**

**Appareillage à haute tension –
Partie 101: Essais synthétiques**

CONTENTS

FOREWORD.....	9
INTRODUCTION to the Amendment	11
1 Scope.....	12
2 Normative references	12
3 Terms and definitions	12
4 Synthetic testing techniques and methods for short-circuit breaking tests	14
4.1 Basic principles and general requirements for synthetic breaking test methods	14
4.1.1 General	14
4.1.2 High-current interval	15
4.1.3 Interaction interval.....	16
4.1.4 High-voltage interval.....	16
4.2 Synthetic test circuits and related specific requirements for breaking tests	17
4.2.1 Current injection methods.....	17
4.2.2 Voltage injection method	18
4.2.3 Duplicate circuit method (transformer or Skeats circuit)	19
4.2.4 Other synthetic test methods	19
4.3 Three-phase synthetic test methods	19
5 Synthetic testing techniques and methods for short-circuit making tests	22
5.1 Basic principles and general requirements for synthetic making test methods	22
5.1.1 General	22
5.1.2 High-voltage interval.....	23
5.1.3 Pre-arcing interval	23
5.1.4 Latching interval and fully closed position.....	23
5.2 Synthetic test circuit and related specific requirements for making tests	23
5.2.1 General	23
5.2.2 Test circuit	23
5.2.3 Specific requirements	23
6 Specific requirements for synthetic tests for making and breaking performance related to the requirements of 6.102 through 6.111 of IEC 62271-100:2008 Type tests	24
Annex A (informative) Current distortion	57
Annex B (informative) Current injection methods.....	73
Annex C (informative) Voltage injection methods	77
Annex D (informative) Skeats or duplicate transformer circuit	80
Annex E (normative) Information to be given and results to be recorded for synthetic tests	83
Annex F (normative) Synthetic test methods for circuit-breakers with opening resistors	84
Annex G (informative) Synthetic methods for capacitive-current switching	92
Annex H (informative) Re-ignition Step-by-step methods to prolong arcing	111
Annex I (normative) Reduction in Correction of di/dt and TRV for test duty T100a	115
Annex J (informative) Three-phase synthetic test circuits.....	133
Annex K (normative) Test procedure using a three-phase current circuit and one voltage circuit	140

Annex L (normative) Splitting of test duties in test series taking into account the associated TRV for each pole-to-clear	181
Annex M (normative) Tolerances on test quantities for type tests.....	220
Annex N (informative) Typical Examples of test circuits for metal-enclosed and dead tank circuit-breakers	224
Annex O (informative) Combination of current injection and voltage injection methods.....	234
Bibliography.....	237
Figure 1 – Interrupting process – Basic time intervals	41
Figure 2 – Examples of evaluation of initial recovery voltage	43
Figure 3 – Equivalent surge impedance of the voltage circuit for the current injection method	44
Figure 4 – Making process – Basic time intervals.....	45
Figure 5 – Typical Example of synthetic making circuit for single-phase tests	47
Figure 6 – Typical Example of synthetic making circuit for out-of-phase.....	49
Figure 7 – Typical Example of synthetic make circuit for three-phase tests ($k_{pp} = 1,5$)	51
Figure 8 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100s with $k_{pp} = 1,5$.....	
Figure 8 – Evaluation of recovery voltage during synthetic capacitive current switching testing	53
Figure 9 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic tests (right) for T100a with $k_{pp} = 1,5$	55
Figure 10 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic tests (right) for T100a with $k_{pp} = 1,3$.....	56
Figure A.1 – Direct circuit, simplified diagram	64
Figure A.2 – Prospective short-circuit current	64
Figure A.3 – Distortion current	64
Figure A.4 – Distortion current	65
Figure A.5 – Simplified circuit diagram.....	66
Figure A.6 – Current and arc voltage characteristics for symmetrical current	67
Figure A.7 – Current and arc voltage characteristics for asymmetrical current	68
Figure A.8 – Reduction of amplitude and duration of final current loop of arcing	69
Figure A.9 – Reduction of amplitude and duration of final current loop of arcing	70
Figure A.10 – Reduction of amplitude and duration of final current loop of arcing	71
Figure A.11 – Reduction of amplitude and duration of final current loop of arcing	72
Figure B.1 – Typical current injection circuit with voltage circuit in parallel with the test circuit-breaker.....	74
Figure B.2 – Injection timing for current injection scheme with circuit B.1.....	75
Figure B.3 – Examples of the determination of the interval of significant change of arc voltage from the oscillograms	76
Figure C.1 – Typical voltage injection circuit diagram with voltage circuit in parallel with the auxiliary circuit-breaker (simplified diagram)	78
Figure C.2 – TRV waveshapes in a voltage injection circuit with the voltage circuit in parallel with the auxiliary circuit-breaker	79
Figure D.1 – Transformer or Skeats circuit.....	81
Figure D.2 – Triggered transformer or Skeats circuit.....	82

Figure F.1 – Test circuit to verify thermal re-ignition behaviour of the main interrupter.....	88
Figure F.2 – Test circuit to verify dielectric re-ignition behaviour of the main interrupter	89
Figure F.3 – Test circuit on the resistor interrupter.....	90
Figure F.4 – Example of test circuit for capacitive current switching tests on the main interrupter	91
Figure F.5 – Example of test circuit for capacitive current switching tests on the resistor interrupter	91
Figure G.1 – Capacitive current circuits (parallel mode)
Figure G.2 – Current injection circuit.....
Figure G.3 – LC oscillating circuit
Figure G.4 – Inductive current circuit in parallel with LC oscillating circuit.....
Figure G.5 – Current injection circuit, normal recovery voltage applied to both terminals of the circuit-breaker.....
Figure G.6 – Synthetic test circuit (series circuit), normal recovery voltage applied to both sides of the test circuit breaker
Figure G.7 – Current injection circuit, recovery voltage applied to both sides of the circuit-breaker.....
Figure G.8 – Making test circuit
Figure G.9 – Inrush making current test circuit.....
Figure G.1 – Power frequency circuits in parallel	104
Figure G.2 – Current injection circuit.....	105
Figure G.3 – Power frequency current injection circuit	106
Figure G.4 – Current injection circuit, recovery voltage applied to both terminals of the circuit-breaker.....	107
Figure G.5 – Current injection circuit with decay compensation.....	108
Figure G.6 – LC oscillating circuit	109
Figure G.7 – Inrush making current test circuit.....	110
Figure H.1 – Typical Example of a re-ignition circuit diagram for prolonging arc-duration	112
Figure H.2 – Combined Skeats and current injection circuits.....
Figure H.2 – Example of waveforms obtained during a symmetrical test using the circuit in Figure H.1	113
Figure H.3 – Typical waveforms obtained during an asymmetrical test using the circuit in Figure H.2.....
Figure J.1 – Three-phase synthetic combined circuit.....	135
Figure J.2 – Waveshapes of currents, phase-to-ground and phase-to phase voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,5$) performed according to the three-phase synthetic combined circuit	136
Figure J.3 – Three-phase synthetic circuit with injection in all phases for $k_{pp} = 1,5$	137
Figure J.4 – Waveshapes of currents and phase-to-ground voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,5$) performed according to the three-phase synthetic circuit with injection in all phases	137
Figure J.5 – Three-phase synthetic circuit for terminal fault tests with $k_{pp} = 1,3$ (current injection method)	138
Figure J.6 – Waveshapes of currents, phase-to-ground and phase-to-phase voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,3$) performed according to the three-phase synthetic circuit shown in Figure J.5	138
Figure J.7 – TRV voltages waveshapes of the test circuit described in Figure J.5	139

Figure K.1 – Example of a three-phase current circuit with single-phase synthetic injection	
Figure K.2 – Representation of the testing conditions of Table K.1	
Figure K.3 – Representation of the testing conditions of Table K.2	
Figure K.4 – Representation of the testing conditions of Table K.3	
Figure K.5 – Representation of the testing conditions of Table K.4	
Figure K.6 – Representation of the testing conditions of Table K.5	
Figure K.7 – Representation of the testing conditions of Table K.6	
Figure K.8 – Representation of the testing conditions of Table K.7	
Figure K.9 – Representation of the testing conditions of Table K.8	
Figure K.1 – Example of a three-phase current circuit with single-phase synthetic injection	158
Figure K.2 – Representation of the testing conditions of Table K.1	161
Figure K.3 – Representation of the testing conditions of Table K.2	163
Figure K.4 – Representation of the testing conditions of Table K.3	165
Figure K.5 – Representation of the testing conditions of Table K.4	167
Figure K.6 – Representation of the testing conditions of Table K.5	170
Figure K.7 – Representation of the testing conditions of Table K.6	172
Figure K.8 – Representation of the testing conditions of Table K.7	174
Figure K.9 – Representation of the testing conditions of Table K.8	176
Figure L.1 – Graphical representation of the test shown in Table L.6	
Figure L.2 – Graphical representation of the test shown in Table L.7	
Figure L.1 – Example of graphical representation of the tests shown in Table L.6	205
Figure L.2 – Example of graphical representation of the tests shown in Tables L.7 and L.8	207
Figure N.1 – Example of a test circuit for unit testing (circuit-breaker with interaction due to gas circulation)	225
Figure N.2 – Half-pole testing of a circuit-breaker in test circuit given by Oscillogram corresponding to Figure N.1 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure	226
Figure N.3 – Example of a synthetic test circuit for unit testing (if unit testing is allowed as per 6.102.4.2 of IEC 62271-100:2008/AMD1:2012)	227
Figure N.4 – Half-pole testing of a circuit-breaker in the test circuit of Oscillogram corresponding to Figure N.3 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure	228
Figure N.5 – Example of a capacitive current injection circuit with enclosure of the circuit-breaker energized	229
Figure N.6 – Example of a capacitive synthetic circuit using two power-frequency sources and with the enclosure of the circuit-breaker energized	230
Figure N.7 – Example of a capacitive synthetic current injection circuit – Example of Unit testing on half a pole of a circuit-breaker with two units per pole – Enclosure energized with d.c. voltage source	231
Figure N.8 – Symmetrical synthetic test circuit for out-of-phase switching tests on a complete pole of a circuit-breaker	
Figure N.9 – Example of a full pole test with voltage applied to both terminals and the metal enclosure	233

Figure O.1 – Example of combined current and voltage injection circuit with application of full test voltage to earth 235

Figure O.2 – Example of combined current and voltage injection circuit with separated application of test voltage 236

Table 1 – Test circuits for test duties T100s and T100a 20

Table 2 – Test parameters during three-phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,5$ 21

Table 3 – Test parameters during three-phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,3$ 21

Table 4 – Test parameters during three phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,2$ 22

Table 5 – Synthetic test methods for test duties T10, T30, T60, T100s, T100a, SP, DEF, OP and SLF 39

Table 6 – Abbreviations used for operation during synthetic tests 25

~~Table I.1 – Last loop di/dt reduction for 50 Hz for $k_{pp} = 1,3$ and $1,5$ 21~~

~~Table I.2 – Last loop di/dt reduction for 50 Hz for $k_{pp} = 1,2$ 21~~

~~Table I.3 – Last loop di/dt reduction for 60 Hz for $k_{pp} = 1,3$ and $1,5$ 21~~

~~Table I.4 – Last loop di/dt reduction for 60 Hz for $k_{pp} = 1,2$ 21~~

~~Table I.5 – Corrected TRV values for the first pole-to-clear for $k_{pp} = 1,3$ and $f_r = 50$ Hz 122~~

~~Table I.6 – Corrected TRV values for the first pole-to-clear for $k_{pp} = 1,3$ and $f_r = 60$ Hz 123~~

~~Table I.7 – Corrected TRV values for the first pole-to-clear for $k_{pp} = 1,5$ and $f_r = 50$ Hz 124~~

~~Table I.8 – Corrected TRV values for the first pole-to-clear for $k_{pp} = 1,5$ and $f_r = 60$ Hz 124~~

~~Table I.9 – Corrected TRV values for the first pole-to-clear for $k_{pp} = 1,2$ and $f_r = 50$ Hz 125~~

~~Table I.10 – Corrected TRV values for the first pole-to-clear for $k_{pp} = 1,2$ and $f_r = 60$ Hz 125~~

Table I.1 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,3$ and $f_r = 50$ Hz 122

Table I.2 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,3$ and $f_r = 60$ Hz 123

Table I.3 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,5$ and $f_r = 50$ Hz 124

Table I.4 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,5$ and $f_r = 60$ Hz 124

Table I.5 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,2$ and $f_r = 50$ Hz 125

Table I.6 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,2$ and $f_r = 60$ Hz 125

Table I.7 – Percentage of d.c. component and di/dt at current zero for first-pole-to-clear for $f_r = 50$ Hz 126

Table I.8 – Percentage of d.c. component and di/dt at current zero for first-pole-to-clear for $f_r = 60$ Hz 127

~~Table K.1 – Demonstration of arcing times for $k_{pp} = 1,5$ 235~~

~~Table K.2 – Alternative demonstration of arcing times for $k_{pp} = 1,5$ 236~~

~~Table K.3 – Demonstration of arcing times for $k_{pp} = 1,3$ 235~~

~~Table K.4 – Alternative demonstration of arcing times for $k_{pp} = 1,3$ 236~~

~~Table K.5 – Demonstration of arcing times for $k_{pp} = 1,5$ 235~~

~~Table K.6 – Alternative demonstration of arcing times for $k_{pp} = 1,5$ 236~~

~~Table K.7 – Demonstration of arcing times for $k_{pp} = 1,3$ 235~~

~~Table K.8 – Alternative demonstration of arcing times for $k_{pp} = 1,3$ 236~~

~~Table K.9 – Procedure for combining $k_{pp} = 1,5$ and $1,3$ during test-duties T10, T30, T60 and T100s(b) 235~~

Table K.10 – Procedure for combining $k_{pp} = 1,5$ and $1,3$ during test-duty T100a	
Table K.1 – Demonstration of arcing times for $k_{pp} = 1,5$	160
Table K.2 – Alternative demonstration of arcing times for $k_{pp} = 1,5$	162
Table K.3 – Demonstration of arcing times for $k_{pp} = 1,3$	164
Table K.4 – Alternative demonstration of arcing times for $k_{pp} = 1,3$	166
Table K.5 – Demonstration of arcing times for $k_{pp} = 1,5$	169
Table K.6 – Alternative demonstration of arcing times for $k_{pp} = 1,5$	171
Table K.7 – Demonstration of arcing times for $k_{pp} = 1,3$	173
Table K.8 – Alternative demonstration of arcing times for $k_{pp} = 1,3$	175
Table K.9 – Procedure for combining $k_{pp} = 1,5$ and $1,3$ during test-duties T10, T30, T60 and T100s(b)	178
Table K.10 – Procedure for combining $k_{pp} = 1,5$ and $1,3$ during test-duty T100a	179
Table L.1 – Test procedure for $k_{pp} = 1,5$	
Table L.2 – Test procedure for $k_{pp} = 1,3$	
Table L.3 – Simplified test procedure for $k_{pp} = 1,3$	
Table L.4 – Test procedure for $k_{pp} = 1,2$	
Table L.5 – Simplified test procedure for $k_{pp} = 1,2$	
Table L.6 – Test procedure for asymmetrical currents in the case of $k_{pp} = 1,5$	
Table L.7 – Test procedure for asymmetrical currents in the case of $k_{pp} = 1,3$	
Table L.8 – Test procedure for asymmetrical currents in the case of $k_{pp} = 1,2$	
Table L.9 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,5$, $f_r = 50$ Hz	
Table L.10 – Required test parameters for different asymmetrical conditions in the case of a $k_{pp} = 1,3$, $f_r = 50$ Hz	
Table L.11 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,2$, $f_r = 50$ Hz	
Table L.12 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,5$, $f_r = 60$ Hz	
Table L.13 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,3$, $f_r = 60$ Hz	
Table L.14 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,2$, $f_r = 60$ Hz	
Table L.15 – Procedure for combining $k_{pp} = 1,5$ and $1,3$ during test-duties T10, T30, T60 and T100s(b)	
Table L.16 – Procedure for combining $k_{pp} = 1,5$ and $1,3$ during test-duty T100a	
Table L.1 – Test procedure for $k_{pp} = 1,5$ and $2,5$	200
Table L.2 – Test procedure for $k_{pp} = 1,3$ and $2,0$	201
Table L.3 – Simplified test procedure for $k_{pp} = 1,3$ and $2,0$	202
Table L.4 – Test procedure for $k_{pp} = 1,2$	203
Table L.5 – Simplified test procedure for $k_{pp} = 1,2$	203
Table L.6 – Test procedure for asymmetrical currents for $k_{pp} = 1,5$	204
Table L.7 – Test procedure for asymmetrical currents for $k_{pp} = 1,3$	206
Table L.8 – Test procedure for asymmetrical currents for $k_{pp} = 1,2$	208
Table L.9 – Procedure for combining $k_{pp} = 1,3$ and $1,5$ for test-duties T10, T30, T60 and T100s(b)	209

Table L.10 – Procedure for combining $k_{pp} = 2,0$ and $2,5$ for test-duties OP1 and OP2	210
Table L.11 – Procedure for combining $k_{pp} = 1,5$ and $1,3$ for test-duty T100a	211
Table L.12 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,5$, $f_r = 50$ Hz	212
Table L.13 – Required test parameters for different asymmetrical conditions in the case of a $k_{pp} = 1,3$, $f_r = 50$ Hz	213
Table L.14 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,2$, $f_r = 50$ Hz	214
Table L.15 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,5$, $f_r = 60$ Hz (1 of 2)	215
Table L.16 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,3$, $f_r = 60$ Hz (1 of 2)	217
Table L.17 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,2$, $f_r = 60$ Hz	219
Table M.1 – Tolerances on test quantities for type tests	221

INTERNATIONAL ELECTROTECHNICAL COMMISSION

HIGH-VOLTAGE SWITCHGEAR AND CONTROLGEAR –

Part 101: Synthetic testing

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as “IEC Publication(s)”). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with an IEC Publication.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

This consolidated version of the official IEC Standard and its amendment has been prepared for user convenience.

IEC 62271-101 edition 2.1 contains the second edition (2012-10) [documents 17A/1015/FDIS and 17A/1024/RVD], its amendment 1 (2017-11) [documents 17A/1149/FDIS and 17A/1154/RVD] and its corrigendum (2018-01).

In this Redline version, a vertical line in the margin shows where the technical content is modified by amendment 1. Additions are in green text, deletions are in strikethrough red text. A separate Final version with all changes accepted is available in this publication.

International Standard IEC 62271-101 has been prepared by subcommittee 17A: High-voltage switchgear and controlgear, of IEC technical committee 17: Switchgear and controlgear.

This second edition constitutes a technical revision.

This edition includes the following significant technical changes with respect to the first edition:

- addition of the new rated voltages of 1 100 kV and 1 200 kV;
- revision of Annex F regarding circuit-breakers with opening resistors;
- alignment with the second edition of IEC 62271-100:2008 and its Amendment 1 (2012).

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

This publication shall be read in conjunction with IEC 62271-100, published in 2008, to which it refers. The numbering of the subclauses of Clause 6 is the same as in IEC 62271-100. However, not all subclauses of IEC 62271-100 are addressed; merely those where synthetic testing has introduced changes.

A list of all the parts in the IEC 62271 series, under the general title *High-voltage switchgear and controlgear*, can be found on the IEC website.

The committee has decided that the contents of the base publication and its amendment will remain unchanged until the stability date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

INTRODUCTION to the Amendment

This amendment includes the following significant technical changes:

- the test procedure for test-duty T100a has been aligned with IEC 62271-100;
- Annexes A through D have been transferred to IEC 62271-306;
- Annex I has been revised and now includes Annex P of IEC 62271-100;
- Annexes K, L and N have been revised.

HIGH-VOLTAGE SWITCHGEAR AND CONTROLGEAR –

Part 101: Synthetic testing

1 Scope

This part of IEC 62271 mainly applies to a.c. circuit-breakers within the scope of IEC 62271-100. It provides the general rules for testing a.c. circuit-breakers, for making and breaking capacities over the range of test duties described in 6.102 to 6.111 of IEC 62271-100:2008, by synthetic methods.

It has been proven that synthetic testing is an economical and technically correct way to test high-voltage a.c. circuit-breakers according to the requirements of IEC 62271-100 and that it is equivalent to direct testing.

The methods and techniques described are those in general use. The purpose of this standard is to establish criteria for synthetic testing and for the proper evaluation of results. Such criteria will establish the validity of the test method without imposing restraints on innovation of test circuitry.

2 Normative references

The following documents, in whole or in part, are normatively referenced in this document and are indispensable for its application. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 62271-100:2008, *High-voltage switchgear and controlgear – Part 100: Alternating current circuit-breakers*

IEC 62271-100:2008/AMD1:2012

IEC 62271-100:2008/AMD2:2017

SOMMAIRE

AVANT-PROPOS	246
INTRODUCTION à l'Amendement	248
1 Domaine d'application	249
2 Références normatives	249
3 Termes et définitions	249
4 Techniques et méthodes d'essais synthétiques pour les essais de coupure en court-circuit	251
4.1 Principes fondamentaux et exigences générales pour les méthodes d'essais synthétiques de coupure	251
4.1.1 Généralités	251
4.1.2 Période de fort courant	252
4.1.3 Période d'interaction	253
4.1.4 Période de haute tension	253
4.2 Circuits synthétiques et exigences spécifiques relatives aux essais de coupure	254
4.2.1 Méthodes par injection de courant	254
4.2.2 Méthode par injection de tension	256
4.2.3 Circuit de Skeats (ou par transformateur)	256
4.2.4 Autres méthodes d'essais synthétiques	257
4.3 Méthodes d'essais synthétiques triphasés	257
5 Techniques et méthodes d'essais synthétiques pour les essais d'établissement en court-circuit	260
5.1 Principes fondamentaux et exigences générales pour les méthodes d'essais synthétiques d'établissement	260
5.1.1 Généralités	260
5.1.2 Période de haute tension	261
5.1.3 Période de pré-amorçage	261
5.1.4 Périodes en position accrochée et de fermeture complète	261
5.2 Circuit d'essais synthétiques pour essais d'établissement et exigences spécifiques s'y rapportant	261
5.2.1 Généralités	261
5.2.2 Circuit d'essai	262
5.2.3 Exigences spécifiques	262
6 Exigences spécifiques pour les essais synthétiques de fermeture et de coupure relatives aux exigences de 6.102 à 6.111 de l'IEC 62271-100:2008 Essais de type	262
Annexe A (informative) Déformation du courant	296
Annexe B (informative) Méthodes par injection de courant	312
Annexe C (informative) Méthodes par injection de tension	316
Annexe D (informative) Circuit de Skeats ou double transformateur	319
Annexe E (normative) Indications à donner et résultats à enregistrer lors d'essais synthétiques	322
Annexe F (normative) Méthodes d'essais synthétiques pour les disjoncteurs équipés de résistances d'ouverture	323
Annexe G (informative) Méthodes d'essais synthétiques pour l'essai d'établissement et de coupure de courants capacitifs	331
Annexe H (informative) Méthode s de réallumage pas à pas pour l'entretien de l'arc	350

Annexe I (normative) Réduction Correction du di/dt et de la TTR pour la séquence d'essais T100a	354
Annexe J (informative) Circuits d'essais synthétiques triphasés	373
Annexe K (normative) Procédure d'essai utilisant un circuit de courant triphasé et un circuit de tension	380
Annexe L (normative) Séparation des séquences d'essais en séries d'essais en tenant compte de la TTR exacte de chaque pôle à couper	422
Annexe M (normative) Tolérances sur les paramètres d'essais lors des essais de type	464
Annexe N (informative) Exemple de circuits d'essai types pour les disjoncteurs sous enveloppe métallique et à cuve mise à la terre.....	468
Annexe O (informative) Combinaison des méthodes par injection de courant et par injection de tension.....	478
Bibliographie.....	481
Figure 1 – Processus de coupure – Périodes principales	280
Figure 2 – Exemples d'évaluation de la tension de rétablissement initiale	282
Figure 3 – Impédance d'onde équivalente du circuit de tension pour la méthode par injection de courant	283
Figure 4 – Processus d'établissement – Instants principaux.....	284
Figure 5 – Exemple de circuit type d'essais synthétiques d'établissement pour les essais monophasés	286
Figure 6 – Exemple de circuit type d'essais synthétiques d'établissement pour les essais en discordance de phase	288
Figure 7 – Exemple de circuit type d'essais synthétiques d'établissement pour les essais triphasés ($k_{pp} = 1,5$)	290
Figure 8 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100s avec $k_{pp} = 1,5$	292
Figure 8 – Évaluation de la tension de rétablissement pendant les essais synthétiques d'établissement et de coupure de courants capacitifs	292
Figure 9 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100a avec $k_{pp} = 1,5$	294
Figure 10 — Comparaison des réglages de la durée d'arc entre les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100a avec $k_{pp} = 1,3$	295
Figure A.1 – Circuit direct, schéma simplifié	303
Figure A.2 – Courant de court-circuit présumé	303
Figure A.3 – Courant déformant.....	303
Figure A.4 – Courant déformant.....	304
Figure A.5 – Schéma de circuit simplifié	305
Figure A.6 – Caractéristiques du courant et de la tension d'arc pour courant symétrique.....	306
Figure A.7 – Caractéristiques de courant et de tension d'arc pour courant asymétrique	307
Figure A.8 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant	308
Figure A.9 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant	309

Figure A.10 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant	310
Figure A.11 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant	311
Figure B.1 – Circuit type à injection de courant où le circuit de tension est en parallèle avec le disjoncteur en essai.....	313
Figure B.2 – Séquence de l'injection du courant dans le circuit de la Figure B.1	314
Figure B.3 – Exemples de détermination de la durée de changement significatif de la tension d'arc à partir d'oscillogrammes	315
Figure C.1 – Schéma caractéristique de l'injection de tension avec le circuit de tension en parallèle avec le disjoncteur auxiliaire (schéma simplifié).....	317
Figure C.2 – Formes d'ondes de TTR obtenues dans un circuit à injection de tension avec le circuit de tension en parallèle avec le disjoncteur auxiliaire	318
Figure D.1 – Circuit de Skeats ou par transformateur.....	320
Figure D.2 – Circuit de Skeats ou par transformateur déclenché.....	321
Figure F.1 – Circuit d'essais de vérification du réallumage thermique de l'interrupteur principal.....	327
Figure F.2 – Circuit d'essais de vérification du réallumage diélectrique de l'interrupteur principal.....	328
Figure F.3 – Circuit d'essais de l'interrupteur de résistance	329
Figure F.4 – Exemple de circuit d'essais pour essais d'établissement et de coupure de courants capacitifs sur l'interrupteur principal	330
Figure F.5 – Exemple de circuit d'essais pour essais d'établissement et de coupure de courants capacitifs sur l'interrupteur de résistance.....	330
Figure G.1 – Circuits de courant capacitif (mode parallèle)	
Figure G.2 – Circuit à injection de courant	
Figure G.3 – Circuit oscillant LC	
Figure G.4 – Circuit de courant inductif en parallèle avec le circuit oscillant LC	
Figure G.5 – Circuit à injection de courant, tension de rétablissement normale appliquée aux deux bornes du disjoncteur	
Figure G.6 – Circuit d'essais synthétiques (circuit série), tension de rétablissement normale appliquée aux deux bornes du disjoncteur en essai.....	
Figure G.7 – Circuit à injection de courant, tension de rétablissement appliquée aux deux bornes du disjoncteur	
Figure G.8 – Circuit d'essai d'établissement	
Figure G.9 – Circuit d'essai d'établissement du courant d'appel de fermeture	
Figure G.1 – Circuits à fréquence industrielle connectés en parallèle.....	343
Figure G.2 – Circuit à injection de courant	344
Figure G.3 – Circuit à injection de courant à fréquence industrielle	345
Figure G.4 – Circuit à injection de courant, tension de rétablissement appliquée aux deux bornes du disjoncteur	346
Figure G.5 – Circuit à injection de courant avec compensation de la décroissance	347
Figure G.6 – Circuit oscillant LC	348
Figure G.7 – Circuit d'essai d'établissement du courant d'appel de fermeture	349
Figure H.1 – Exemple de schéma type du de circuit de réallumage servant à prolonger la durée d'arc.....	351
Figure H.2 – Circuits combinés à injection de courant et de Skeats	

Figure H.2 – Exemple de formes d’ondes obtenues pendant un essai symétrique en utilisant le circuit de la Figure H.1	352
Figure H.3 – Formes d’ondes typiques obtenues pendant un essai asymétrique en utilisant le circuit de la Figure H.2	352
Figure J.1 – Circuit combiné d’essais synthétiques triphasés	375
Figure J.2 – Formes d’ondes de courants, tensions phase-terre et entre phases pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,5$) réalisé conformément au circuit combiné d’essais synthétiques triphasés	376
Figure J.3 – Circuit d’essais synthétiques triphasés avec injection dans toutes les phases pour $k_{pp} = 1,5$	377
Figure J.4 – Formes d’ondes de courants et tensions phase-terre pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,5$) réalisé conformément au circuit d’essais synthétiques triphasés avec injection dans toutes les phases	377
Figure J.5 – Circuit d’essais synthétiques triphasés pour les essais de défauts aux bornes avec $k_{pp} = 1,3$ (méthode par injection de courant)	378
Figure J.6 – Formes d’ondes de courants, tensions phase-terre et entre phases pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,3$) réalisé conformément au circuit d’essais synthétiques triphasés représenté à la Figure J.5	378
Figure J.7 – Formes d’ondes de la TTR du circuit d’essai décrit à la Figure J.5	379
Figure K.1 – Exemple d’un circuit de courant triphasé avec une injection synthétique monophasée	399
Figure K.2 – Représentation des conditions d’essais du Tableau K.1	402
Figure K.3 – Représentation des conditions d’essais du Tableau K.2	404
Figure K.4 – Représentation des conditions d’essais du Tableau K.3	406
Figure K.5 – Représentation des conditions d’essais du Tableau K.4	408
Figure K.6 – Représentation des conditions d’essais du Tableau K.5	411
Figure K.7 – Représentation des conditions d’essais du Tableau K.6	413
Figure K.8 – Représentation des conditions d’essais du Tableau K.7	415
Figure K.9 – Représentation des conditions d’essais du Tableau K.8	417
Figure K.1 – Exemple d’un circuit de courant triphasé avec une injection synthétique monophasée	399
Figure K.2 – Représentation des conditions d’essais du Tableau K.1	402
Figure K.3 – Représentation des conditions d’essais du Tableau K.2	404
Figure K.4 – Représentation des conditions d’essais du Tableau K.3	406
Figure K.5 – Représentation des conditions d’essais du Tableau K.4	408
Figure K.6 – Représentation des conditions d’essais du Tableau K.5	411
Figure K.7 – Représentation des conditions d’essais du Tableau K.6	413
Figure K.8 – Représentation des conditions d’essais du Tableau K.7	415
Figure K.9 – Représentation des conditions d’essais du Tableau K.8	417
Figure L.1 – Représentation graphique de l’essai représenté au Tableau L.6	449
Figure L.2 – Représentation graphique de l’essai représenté au Tableau L.7	451
Figure L.1 – Exemple de représentation graphique des essais présentés dans le Tableau L.6	449
Figure L.2 – Exemple de représentation graphique des essais présentés dans les Tableaux L.7 et L.8	451
Figure N.1 – Exemple de circuit d’essai pour essais par éléments séparés (disjoncteur avec interaction due à la circulation de gaz)	469

Figure N.2 – Essais d'un demi-pôle d'un disjoncteur dans le circuit d'essai donné Oscillogramme correspondant à la Figure N.1 – Exemple des TTR requises devant être appliquées exigées à appliquer entre les bornes de l'unité (des unités) soumise(s) à l'essai et entre les parties sous tension actives et l'enveloppe isolée	470
Figure N.3 – Exemple de circuit d'essai synthétique pour essais par éléments séparés (si l'essai par éléments séparés est autorisé par le 6.102.4.2 de l'IEC 62271-100:2008/AMD1:2012)	471
Figure N.4 – Essais d'un demi-pôle d'un disjoncteur dans le circuit d'essai de Oscillogramme correspondant à la Figure N.3 – Exemple des TTR requises devant être appliquées exigées à appliquer entre les bornes de l'unité (des unités) soumise(s) à l' en essai et entre les parties sous tension actives et l'enveloppe isolée	472
Figure N.5 – Exemple de circuit pour essais capacitifs avec injection de courant avec enveloppe du disjoncteur sous tension.....	473
Figure N.6 – Exemple de circuit synthétique pour essais capacitifs utilisant deux sources à fréquence industrielle et avec l'enveloppe du disjoncteur sous tension	474
Figure N.7 – Exemple de circuit synthétique pour essais capacitifs avec injection de courant – Exemple d' Essais par éléments séparés d'un demi-pôle d'un disjoncteur ayant deux éléments par pôle – Enveloppe alimentée par une source de tension c.c. continue.....	475
Figure N.8 – Circuit d'essai synthétique symétrique pour les essais d'établissement et de coupure en discordance de phases d'un pôle complet de disjoncteur
Figure N.9 – Exemple d'essai de pôle complet avec une tension appliquée aux bornes et à l'enveloppe métallique	477
Figure O.1 – Exemple de circuit combiné d'injection de courant et de tension avec application de la tension d'essai complète par rapport à la terre	479
Figure O.2 – Exemple de circuit combiné d'injection de courant et de tension avec application séparée de la tension d'essai.....	480
Tableau 1 – Circuits d'essais pour les séquences d'essais T100s et T100a	258
Tableau 2 – Paramètres d'essais pendant la coupure triphasée pour les séquences T10, T30, T60 et T100s $k_{pp} = 1,5$	258
Tableau 3 – Paramètres d'essais pendant la coupure triphasée pour les séquences T10, T30, T60 et T100s $k_{pp} = 1,3$	259
Tableau 4 – Paramètres d'essais pendant la coupure triphasée pour les séquences T10, T30, T60 et T100s $k_{pp} = 1,2$	260
Tableau 5 – Méthodes d'essais synthétiques pour les séquences d'essais T10, T30, T60, T100s, T100a, SP, DEF, OP et SLF.....	278
Tableau 6 – Abréviations utilisées pour les manœuvres à réaliser pendant les essais synthétiques	263
Tableau I.1 – Réduction du di/dt de la dernière alternance pour 50 Hz pour $k_{pp} = 1,3$ et 1,5.....
Tableau I.2 – Réduction du di/dt de la dernière alternance pour 50 Hz pour $k_{pp} = 1,2$.....
Tableau I.3 – Réduction du di/dt de la dernière alternance pour 60 Hz pour $k_{pp} = 1,3$ et 1,5.....
Tableau I.4 – Réduction du di/dt de la dernière alternance pour 60 Hz pour $k_{pp} = 1,2$.....
Tableau I.5 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{pp} = 1,3$ et $f_r = 50$ Hz.....
Tableau I.6 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{pp} = 1,3$ et $f_r = 60$ Hz.....
Tableau I.7 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{pp} = 1,5$ et $f_r = 50$ Hz.....

Tableau I.8 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{pp} = 1,5$ et $f_r = 60$ Hz	
Tableau I.9 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{pp} = 1,2$ et $f_r = 50$ Hz	
Tableau I.10 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{pp} = 1,2$ et $f_r = 60$ Hz	
Tableau I.1 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,3$ et $f_r = 50$ Hz	362
Tableau I.2 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,3$ et $f_r = 60$ Hz	363
Tableau I.3 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,5$ et $f_r = 50$ Hz	364
Tableau I.4 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,5$ et $f_r = 60$ Hz	365
Tableau I.5 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,2$ et $f_r = 50$ Hz	365
Tableau I.6 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,2$ et $f_r = 60$ Hz	366
Tableau I.7 – Pourcentage de la composante continue et du di/dt au zéro de courant pour le premier pôle qui coupe pour $f_r = 50$ Hz	366
Tableau I.8 – Pourcentage de la composante continue et du di/dt au zéro de courant pour le premier pôle qui coupe pour $f_r = 60$ Hz	367
Tableau K.1 – Démonstration des durées d'arc pour $k_{pp} = 1,5$	
Tableau K.2 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,5$	
Tableau K.3 – Démonstration des durées d'arc pour $k_{pp} = 1,3$	
Tableau K.4 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,3$	
Tableau K.5 – Démonstration des durées d'arc pour $k_{pp} = 1,5$	
Tableau K.6 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,5$	
Tableau K.7 – Démonstration des durées d'arc pour $k_{pp} = 1,3$	
Tableau K.8 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,3$	
Tableau K.9 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pendant les séquences d'essais T10, T30, T60 et T100s(b)	
Tableau K.10 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pendant la séquence d'essais T100a	
Tableau K.1 – Démonstration des durées d'arc pour $k_{pp} = 1,5$	401
Tableau K.2 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,5$	403
Tableau K.3 – Démonstration des durées d'arc pour $k_{pp} = 1,3$	405
Tableau K.4 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,3$	407
Tableau K.5 – Démonstration des durées d'arc pour $k_{pp} = 1,5$	410
Tableau K.6 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,5$	412
Tableau K.7 – Démonstration des durées d'arc pour $k_{pp} = 1,3$	414
Tableau K.8 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,3$	416
Tableau K.9 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pendant les séquences d'essais T10, T30, T60 et T100s(b)	419
Tableau K.10 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pendant la séquence d'essais T100a	420
Tableau L.1 – Procédure d'essai pour $k_{pp} = 1,5$	
Tableau L.2 – Procédure d'essai pour $k_{pp} = 1,3$	

Tableau L.3 – Procédure d’essai simplifiée pour $k_{pp} = 1,3$.....	
Tableau L.4 – Procédure d’essai pour $k_{pp} = 1,2$.....	
Tableau L.5 – Procédure d’essai simplifiée pour $k_{pp} = 1,2$.....	
Tableau L.6 – Procédure d’essai pour des courants asymétriques dans le cas $k_{pp} = 1,5$.....	
Tableau L.7 – Procédure d’essai pour des courants asymétriques dans le cas $k_{pp} = 1,3$.....	
Tableau L.8 – Procédure d’essai pour des courants asymétriques dans le cas $k_{pp} = 1,2$.....	
Tableau L.9 – Paramètres d’essais requis pour les différentes conditions asymétriques pour $k_{pp} = 1,5, f_r = 50$ Hz.....	
Tableau L.10 – Paramètres d’essais requis pour les différentes conditions asymétriques pour $k_{pp} = 1,3, f_r = 50$ Hz.....	
Tableau L.11 – Paramètres d’essais requis pour les différentes conditions asymétriques pour $k_{pp} = 1,2, f_r = 50$ Hz.....	
Tableau L.12 – Paramètres d’essais requis pour les différentes conditions asymétriques pour $k_{pp} = 1,5, f_r = 60$ Hz.....	
Tableau L.13 – Paramètres d’essais requis pour les différentes conditions asymétriques pour $k_{pp} = 1,3, f_r = 60$ Hz.....	
Tableau L.14 – Paramètres d’essais requis pour les différentes conditions asymétriques pour $k_{pp} = 1,2, f_r = 60$ Hz.....	
Tableau L.15 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pendant les séquences d’essais T10, T30, T60 et T100s(b).....	
Tableau L.16 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pendant la séquence d’essais T100a.....	
Tableau L.1 – Procédure d’essai pour $k_{pp} = 1,5$ et $2,5$	444
Tableau L.2 – Procédure d’essai pour $k_{pp} = 1,3$ et $2,0$	445
Tableau L.3 – Procédure d’essai simplifiée pour $k_{pp} = 1,3$ et $2,0$	446
Tableau L.4 – Procédure d’essai pour $k_{pp} = 1,2$	447
Tableau L.5 – Procédure d’essai simplifiée pour $k_{pp} = 1,2$	447
Tableau L.6 – Procédure d’essai pour des courants asymétriques pour $k_{pp} = 1,5$	448
Tableau L.7 – Procédure d’essai pour des courants asymétriques pour $k_{pp} = 1,3$	450
Tableau L.8 – Procédure d’essai pour des courants asymétriques pour $k_{pp} = 1,2$	452
Tableau L.9 – Procédure de combinaison de $k_{pp} = 1,3$ et $1,5$ pendant les séquences d’essais T10, T30, T60 et T100s(b).....	453
Tableau L.10 – Procédure de combinaison de $k_{pp} = 2,0$ et $2,5$ pendant les séquences d’essais OP1 et OP2.....	454
Tableau L.11 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pendant la séquence d’essais T100a.....	455
Tableau L.12 – Paramètres d’essais exigés pour les différentes conditions d’asymétrie pour $k_{pp} = 1,5, f_r = 50$ Hz.....	456
Tableau L.13 – Paramètres d’essais exigés pour les différentes conditions d’asymétrie pour $k_{pp} = 1,3, f_r = 50$ Hz.....	457
Tableau L.14 – Paramètres d’essais exigés pour les différentes conditions d’asymétrie pour $k_{pp} = 1,2, f_r = 50$ Hz.....	458
Tableau L.15 – Paramètres d’essais exigés pour les différentes conditions d’asymétrie pour $k_{pp} = 1,5, f_r = 60$ Hz (1 de 2).....	459
Tableau L.16 – Paramètres d’essais exigés pour les différentes conditions d’asymétrie pour $k_{pp} = 1,3, f_r = 60$ Hz (1 de 2).....	461
Tableau L.17 – Paramètres d’essais exigés pour les différentes conditions d’asymétrie pour $k_{pp} = 1,2, f_r = 60$ Hz.....	463

Tableau M.1 – Tolérances sur les paramètres d'essais lors des essais de type 465

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

APPAREILLAGE À HAUTE TENSION –

Partie 101: Essais synthétiques

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

Cette version consolidée de la Norme IEC officielle et de son amendement a été préparée pour la commodité de l'utilisateur.

L'IEC 62271-101 édition 2.1 contient la deuxième édition (2012-10) [documents 17A/1015/FDIS et 17A/1024/RVD], son amendement 1 (2017-11) [documents 17A/1149/FDIS et 17A/1154/RVD] et son corrigendum (2018-01).

Dans cette version Redline, une ligne verticale dans la marge indique où le contenu technique est modifié par l'amendement 1. Les ajouts sont en vert, les suppressions sont en rouge, barrées. Une version Finale avec toutes les modifications acceptées est disponible dans cette publication.

La Norme internationale IEC 62271-101 a été établie par le sous-comité 17A: Appareillage à haute tension, du comité d'études 17 de l'IEC: Appareillage.

Cette deuxième édition constitue une révision technique.

Les principales modifications par rapport à la précédente édition sont les suivantes:

- ajout des nouvelles tensions assignées 1 100 kV et 1 200 kV;
- révision de l'Annexe F qui traite des disjoncteurs équipés de résistances d'ouverture;
- alignement avec la deuxième édition de l'IEC 62271-100:2008 et Amendement 1 (2012).

Cette publication a été rédigée selon les Directives ISO/IEC, Partie 2.

Cette publication doit être lue conjointement avec l'IEC 62271-100, parue en 2008, auquel elle se réfère. La numérotation des paragraphes de l'Article 6 reprend celle de l'IEC 62271-100. Néanmoins, tous les paragraphes de l'IEC 62271-100 ne sont pas concernés, uniquement ceux où les essais synthétiques ont introduit des changements.

Une liste de toutes les parties de la série IEC 62271, présentée sous le titre général *Appareillage à haute tension*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de la publication de base et de son amendement ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

INTRODUCTION à l'Amendement

Cet amendement inclut les modifications techniques majeures suivantes:

- la procédure d'essai pour la séquence d'essais T100a a été alignée sur celle de l'IEC 62271-100;
- les Annexes A à D ont été transférées vers l'IEC 62271-306;
- l'Annexe I a été révisée et comprend désormais l'Annexe P de l'IEC 62271-100;
- les Annexes K, L et N ont été révisées.

APPAREILLAGE À HAUTE TENSION –

Partie 101: Essais synthétiques

1 Domaine d'application

La présente partie de l'IEC 62271 s'applique principalement aux disjoncteurs à courant alternatif définis dans le domaine d'application de l'IEC 62271-100. Elle donne les règles générales d'essais de ces disjoncteurs, pour les pouvoirs de fermeture et de coupure dans la gamme des séquences d'essais décrites de 6.102 à 6.111 de l'IEC 62271-100:2008, à l'aide de méthodes d'essais synthétiques.

Il a été démontré que l'essai synthétique est un moyen économique et techniquement valable pour essayer les disjoncteurs à courant alternatif à haute tension selon les exigences de l'IEC 62271-100, et qu'il est équivalent à un essai direct.

Les méthodes et techniques décrites sont celles d'usage courant. L'objet de la présente norme est d'établir des critères pour les essais synthétiques et pour l'évaluation correcte des résultats. Ces critères établissent la validité de la méthode d'essai sans limiter l'invention de nouveaux circuits d'essais.

2 Références normatives

Les documents suivants sont cités en référence de manière normative, en intégralité ou en partie, dans le présent document et sont indispensables pour son application. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 62271-100:2008, *Appareillage à haute tension – Partie 100: Disjoncteurs à courant alternatif*

IEC 62271-100:2008/AMD1:2012

IEC 62271-100:2008/AMD2:2017

FINAL VERSION

VERSION FINALE



**High-voltage switchgear and controlgear –
Part 101: Synthetic testing**

**Appareillage à haute tension –
Partie 101: Essais synthétiques**

CONTENTS

FOREWORD.....	7
INTRODUCTION to the Amendment	9
1 Scope.....	10
2 Normative references	10
3 Terms and definitions	10
4 Synthetic testing techniques and methods for short-circuit breaking tests	12
4.1 Basic principles and general requirements for synthetic breaking test methods	12
4.1.1 General	12
4.1.2 High-current interval	13
4.1.3 Interaction interval.....	13
4.1.4 High-voltage interval.....	13
4.2 Synthetic test circuits and related specific requirements for breaking tests	14
4.2.1 Current injection methods	14
4.2.2 Voltage injection method	15
4.2.3 Duplicate circuit method (transformer or Skeats circuit)	16
4.2.4 Other synthetic test methods	16
4.3 Three-phase synthetic test methods	16
5 Synthetic testing techniques and methods for short-circuit making tests	19
5.1 Basic principles and general requirements for synthetic making test methods	19
5.1.1 General	19
5.1.2 High-voltage interval.....	20
5.1.3 Pre-arcing interval	20
5.1.4 Latching interval and fully closed position.....	20
5.2 Synthetic test circuit and related specific requirements for making tests	20
5.2.1 General	20
5.2.2 Test circuit.....	20
5.2.3 Specific requirements	20
6 Type tests	21
Annex A (informative) Current distortion	46
Annex B (informative) Current injection methods.....	62
Annex C (informative) Voltage injection methods	66
Annex D (informative) Skeats or duplicate transformer circuit	69
Annex E (normative) Information to be given and results to be recorded for synthetic tests	72
Annex F (normative) Synthetic test methods for circuit-breakers with opening resistors	73
Annex G (informative) Synthetic methods for capacitive-current switching	81
Annex H (informative) Step-by-step method to prolong arcing.....	91
Annex I (normative) Correction of di/dt and TRV for test duty T100a.....	93
Annex J (informative) Three-phase synthetic test circuits.....	105
Annex K (normative) Test procedure using a three-phase current circuit and one voltage circuit	112
Annex L (normative) Splitting of test duties in test series taking into account the associated TRV for each pole-to-clear	135
Annex M (normative) Tolerances on test quantities for type tests.....	156

Annex N (informative) Examples of test circuits for metal-enclosed and dead tank circuit-breakers	160
Annex O (informative) Combination of current injection and voltage injection methods.....	169
Bibliography.....	172
Figure 1 – Interrupting process – Basic time intervals	36
Figure 2 – Examples of evaluation of initial recovery voltage	37
Figure 3 – Equivalent surge impedance of the voltage circuit for the current injection method	38
Figure 4 – Making process – Basic time intervals.....	39
Figure 5 – Example of synthetic making circuit for single-phase tests	40
Figure 6 – Example of synthetic making circuit for out-of-phase	41
Figure 7 – Example of synthetic make circuit for three-phase tests ($k_{pp} = 1,5$).....	42
Figure 8 – Evaluation of recovery voltage during synthetic capacitive current switching testing	43
Figure 9 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic tests (right) for T100a with $k_{pp} = 1,5$	44
Figure 10 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic tests (right) for T100a with $k_{pp} = 1,3$	45
Figure A.1 – Direct circuit, simplified diagram	53
Figure A.2 – Prospective short-circuit current.....	53
Figure A.3 – Distortion current	53
Figure A.4 – Distortion current	54
Figure A.5 – Simplified circuit diagram.....	55
Figure A.6 – Current and arc voltage characteristics for symmetrical current	56
Figure A.7 – Current and arc voltage characteristics for asymmetrical current	57
Figure A.8 – Reduction of amplitude and duration of final current loop of arcing	58
Figure A.9 – Reduction of amplitude and duration of final current loop of arcing	59
Figure A.10 – Reduction of amplitude and duration of final current loop of arcing	60
Figure A.11 – Reduction of amplitude and duration of final current loop of arcing	61
Figure B.1 – Typical current injection circuit with voltage circuit in parallel with the test circuit-breaker.....	63
Figure B.2 – Injection timing for current injection scheme with circuit B.1.....	64
Figure B.3 – Examples of the determination of the interval of significant change of arc voltage from the oscillograms	65
Figure C.1 – Typical voltage injection circuit diagram with voltage circuit in parallel with the auxiliary circuit-breaker (simplified diagram)	67
Figure C.2 – TRV waveshapes in a voltage injection circuit with the voltage circuit in parallel with the auxiliary circuit-breaker	68
Figure D.1 – Transformer or Skeats circuit.....	70
Figure D.2 – Triggered transformer or Skeats circuit.....	71
Figure F.1 – Test circuit to verify thermal re-ignition behaviour of the main interrupter.....	77
Figure F.2 – Test circuit to verify dielectric re-ignition behaviour of the main interrupter.....	78
Figure F.3 – Test circuit on the resistor interrupter.....	79
Figure F.4 – Example of test circuit for capacitive current switching tests on the main interrupter	80

Figure F.5 – Example of test circuit for capacitive current switching tests on the resistor interrupter	80
Figure G.1 – Power frequency circuits in parallel	84
Figure G.2 – Current injection circuit.....	85
Figure G.3 – Power frequency current injection circuit	86
Figure G.4 – Current injection circuit, recovery voltage applied to both terminals of the circuit-breaker.....	87
Figure G.5 – Current injection circuit with decay compensation.....	88
Figure G.6 – LC oscillating circuit	89
Figure G.7 – Inrush making current test circuit.....	90
Figure H.1 – Example of a re-ignition circuit diagram for prolonging arc-duration	91
Figure H.2 – Example of waveforms obtained during a symmetrical test using the circuit in Figure H.1.....	92
Figure J.1 – Three-phase synthetic combined circuit.....	107
Figure J.2 – Waveshapes of currents, phase-to-ground and phase-to phase voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,5$) performed according to the three-phase synthetic combined circuit	108
Figure J.3 – Three-phase synthetic circuit with injection in all phases for $k_{pp} = 1,5$	109
Figure J.4 – Waveshapes of currents and phase-to-ground voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,5$) performed according to the three-phase synthetic circuit with injection in all phases	109
Figure J.5 – Three-phase synthetic circuit for terminal fault tests with $k_{pp} = 1,3$ (current injection method)	110
Figure J.6 – Waveshapes of currents, phase-to-ground and phase-to-phase voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,3$) performed according to the three-phase synthetic circuit shown in Figure J.5	110
Figure J.7 – TRV voltages waveshapes of the test circuit described in Figure J.5	111
Figure K.1 – Example of a three-phase current circuit with single-phase synthetic injection	113
Figure K.2 – Representation of the testing conditions of Table K.1.....	115
Figure K.3 – Representation of the testing conditions of Table K.2.....	117
Figure K.4 – Representation of the testing conditions of Table K.3.....	119
Figure K.5 – Representation of the testing conditions of Table K.4.....	121
Figure K.6 – Representation of the testing conditions of Table K.5.....	124
Figure K.7 – Representation of the testing conditions of Table K.6.....	126
Figure K.8 – Representation of the testing conditions of Table K.7.....	128
Figure K.9 – Representation of the testing conditions of Table K.8.....	130
Figure L.1 – Example of graphical representation of the tests shown in Table L.6.....	141
Figure L.2 – Example of graphical representation of the tests shown in Tables L.7 and L.8	143
Figure N.1 – Example of a test circuit for unit testing (circuit-breaker with interaction due to gas circulation).....	161
Figure N.2 – Oscillogram corresponding to Figure N.1 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure	162
Figure N.3 – Example of a synthetic test circuit for unit testing (if unit testing is allowed as per 6.102.4.2 of IEC 62271-100:2008/AMD1:2012)	163

Figure N.4 – Oscillogram corresponding to Figure N.3 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure	164
Figure N.5 – Example of a capacitive current injection circuit with enclosure of the circuit-breaker energized	165
Figure N.6 – Example of a capacitive synthetic circuit using two power-frequency sources and with the enclosure of the circuit-breaker energized	166
Figure N.7 – Example of a capacitive synthetic current injection circuit – Unit testing on half a pole of a circuit-breaker with two units per pole – Enclosure energized with d.c. voltage source	167
Figure N.9 – Example of a full pole test with voltage applied to both terminals and the metal enclosure	168
Figure O.1 – Example of combined current and voltage injection circuit with application of full test voltage to earth	170
Figure O.2 – Example of combined current and voltage injection circuit with separated application of test voltage	171
Table 1 – Test circuits for test duties T100s and T100a	17
Table 2 – Test parameters during three-phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,5$	18
Table 3 – Test parameters during three-phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,3$	18
Table 4 – Test parameters during three phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,2$	19
Table 5 – Synthetic test methods for test duties T10, T30, T60, T100s, T100a, SP, DEF, OP and SLF	34
Table 6 – Abbreviations used for operation during synthetic tests	22
Table I.1 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,3$ and $f_r = 50$ Hz	94
Table I.2 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,3$ and $f_r = 60$ Hz	95
Table I.3 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,5$ and $f_r = 50$ Hz	96
Table I.4 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,5$ and $f_r = 60$ Hz	96
Table I.5 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,2$ and $f_r = 50$ Hz	97
Table I.6 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,2$ and $f_r = 60$ Hz	97
Table I.7 – Percentage of d.c. component and di/dt at current zero for first-pole-to-clear for $f_r = 50$ Hz	98
Table I.8 – Percentage of d.c. component and di/dt at current zero for first-pole-to-clear for $f_r = 60$ Hz	99
Table K.1 – Demonstration of arcing times for $k_{pp} = 1,5$	114
Table K.2 – Alternative demonstration of arcing times for $k_{pp} = 1,5$	116
Table K.3 – Demonstration of arcing times for $k_{pp} = 1,3$	118
Table K.4 – Alternative demonstration of arcing times for $k_{pp} = 1,3$	120
Table K.5 – Demonstration of arcing times for $k_{pp} = 1,5$	123
Table K.6 – Alternative demonstration of arcing times for $k_{pp} = 1,5$	125
Table K.7 – Demonstration of arcing times for $k_{pp} = 1,3$	127
Table K.8 – Alternative demonstration of arcing times for $k_{pp} = 1,3$	129
Table K.9 – Procedure for combining $k_{pp} = 1,5$ and 1,3 during test-duties T10, T30, T60 and T100s(b)	132
Table K.10 – Procedure for combining $k_{pp} = 1,5$ and 1,3 during test-duty T100a	133

Table L.1 – Test procedure for $k_{pp} = 1,5$ and $2,5$	136
Table L.2 – Test procedure for $k_{pp} = 1,3$ and $2,0$	137
Table L.3 – Simplified test procedure for $k_{pp} = 1,3$ and $2,0$	138
Table L.4 – Test procedure for $k_{pp} = 1,2$	139
Table L.5 – Simplified test procedure for $k_{pp} = 1,2$	139
Table L.6 – Test procedure for asymmetrical currents for $k_{pp} = 1,5$	140
Table L.7 – Test procedure for asymmetrical currents for $k_{pp} = 1,3$	142
Table L.8 – Test procedure for asymmetrical currents for $k_{pp} = 1,2$	144
Table L.9 – Procedure for combining $k_{pp} = 1,3$ and $1,5$ for test-duties T10, T30, T60 and T100s(b)	145
Table L.10 – Procedure for combining $k_{pp} = 2,0$ and $2,5$ for test-duties OP1 and OP2	146
Table L.11 – Procedure for combining $k_{pp} = 1,5$ and $1,3$ for test-duty T100a	147
Table L.12 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,5$, $f_r = 50$ Hz	148
Table L.13 – Required test parameters for different asymmetrical conditions in the case of a $k_{pp} = 1,3$, $f_r = 50$ Hz	149
Table L.14 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,2$, $f_r = 50$ Hz	150
Table L.15 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,5$, $f_r = 60$ Hz (1 of 2)	151
Table L.16 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,3$, $f_r = 60$ Hz (1 of 2)	153
Table L.17 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,2$, $f_r = 60$ Hz	155
Table M.1 – Tolerances on test quantities for type tests	157

INTERNATIONAL ELECTROTECHNICAL COMMISSION

HIGH-VOLTAGE SWITCHGEAR AND CONTROLGEAR –

Part 101: Synthetic testing

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as “IEC Publication(s)”). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with an IEC Publication.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

This consolidated version of the official IEC Standard and its amendment has been prepared for user convenience.

IEC 62271-101 edition 2.1 contains the second edition (2012-10) [documents 17A/1015/FDIS and 17A/1024/RVD], its amendment 1 (2017-11) [documents 17A/1149/FDIS and 17A/1154/RVD] and its corrigendum (2018-01).

This Final version does not show where the technical content is modified by amendment 1. A separate Redline version with all changes highlighted is available in this publication.

International Standard IEC 62271-101 has been prepared by subcommittee 17A: High-voltage switchgear and controlgear, of IEC technical committee 17: Switchgear and controlgear.

This second edition constitutes a technical revision.

This edition includes the following significant technical changes with respect to the first edition:

- addition of the new rated voltages of 1 100 kV and 1 200 kV;
- revision of Annex F regarding circuit-breakers with opening resistors;
- alignment with the second edition of IEC 62271-100:2008 and its Amendment 1 (2012).

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

This publication shall be read in conjunction with IEC 62271-100, published in 2008, to which it refers. The numbering of the subclauses of Clause 6 is the same as in IEC 62271-100. However, not all subclauses of IEC 62271-100 are addressed; merely those where synthetic testing has introduced changes.

A list of all the parts in the IEC 62271 series, under the general title *High-voltage switchgear and controlgear*, can be found on the IEC website.

The committee has decided that the contents of the base publication and its amendment will remain unchanged until the stability date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

INTRODUCTION to the Amendment

This amendment includes the following significant technical changes:

- the test procedure for test-duty T100a has been aligned with IEC 62271-100;
- Annexes A through D have been transferred to IEC 62271-306;
- Annex I has been revised and now includes Annex P of IEC 62271-100;
- Annexes K, L and N have been revised.

HIGH-VOLTAGE SWITCHGEAR AND CONTROLGEAR –

Part 101: Synthetic testing

1 Scope

This part of IEC 62271 mainly applies to a.c. circuit-breakers within the scope of IEC 62271-100. It provides the general rules for testing a.c. circuit-breakers, for making and breaking capacities over the range of test duties described in 6.102 to 6.111 of IEC 62271-100:2008, by synthetic methods.

It has been proven that synthetic testing is an economical and technically correct way to test high-voltage a.c. circuit-breakers according to the requirements of IEC 62271-100 and that it is equivalent to direct testing.

The methods and techniques described are those in general use. The purpose of this standard is to establish criteria for synthetic testing and for the proper evaluation of results. Such criteria will establish the validity of the test method without imposing restraints on innovation of test circuitry.

2 Normative references

The following documents, in whole or in part, are normatively referenced in this document and are indispensable for its application. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 62271-100:2008, *High-voltage switchgear and controlgear – Part 100: Alternating current circuit-breakers*

IEC 62271-100:2008/AMD1:2012

IEC 62271-100:2008/AMD2:2017

SOMMAIRE

AVANT-PROPOS	180
INTRODUCTION à l'Amendement	182
1 Domaine d'application	183
2 Références normatives	183
3 Termes et définitions	183
4 Techniques et méthodes d'essais synthétiques pour les essais de coupure en court-circuit	185
4.1 Principes fondamentaux et exigences générales pour les méthodes d'essais synthétiques de coupure	185
4.1.1 Généralités	185
4.1.2 Période de fort courant	186
4.1.3 Période d'interaction	186
4.1.4 Période de haute tension	187
4.2 Circuit synthétiques et exigences spécifiques relatives aux essais de coupure	188
4.2.1 Méthodes par injection de courant	188
4.2.2 Méthode par injection de tension	189
4.2.3 Circuit de Skeats (ou par transformateur)	189
4.2.4 Autres méthodes d'essais synthétiques	190
4.3 Méthodes d'essais synthétiques triphasés	190
5 Techniques et méthodes d'essais synthétiques pour les essais d'établissement en court-circuit	193
5.1 Principes fondamentaux et exigences générales pour les méthodes d'essais synthétiques d'établissement	193
5.1.1 Généralités	193
5.1.2 Période de haute tension	194
5.1.3 Période de pré-amorçage	194
5.1.4 Périodes en position accrochée et de fermeture complète	194
5.2 Circuit d'essais synthétiques pour essais d'établissement et exigences spécifiques s'y rapportant	194
5.2.1 Généralités	194
5.2.2 Circuit d'essai	195
5.2.3 Exigences spécifiques	195
6 Essais de type	195
Annexe A (informative) Déformation du courant	221
Annexe B (informative) Méthodes par injection de courant	237
Annexe C (informative) Méthodes par injection de tension	241
Annexe D (informative) Circuit de Skeats ou double transformateur	244
Annexe E (normative) Indications à donner et résultats à enregistrer lors d'essais synthétiques	247
Annexe F (normative) Méthodes d'essais synthétiques pour les disjoncteurs équipés de résistances d'ouverture	248
Annexe G (informative) Méthodes d'essais synthétiques pour l'essai d'établissement et de coupure de courants capacitifs	256
Annexe H (informative) Méthode pas à pas pour l'entretien de l'arc	266
Annexe I (normative) Correction du di/dt et de la TTR pour la séquence d'essais T100a	268

Annexe J (informative) Circuits d'essais synthétiques triphasés	280
Annexe K (normative) Procédure d'essai utilisant un circuit de courant triphasé et un circuit de tension	287
Annexe L (normative) Séparation des séquences d'essais en séries d'essais en tenant compte de la TTR exacte de chaque pôle à couper	310
Annexe M (normative) Tolérances sur les paramètres d'essais lors des essais de type	331
Annexe N (informative) Exemple de circuits d'essai pour les disjoncteurs sous enveloppe métallique et à cuve mise à la terre.....	335
Annexe O (informative) Combinaison des méthodes par injection de courant et par injection de tension.....	344
Bibliographie.....	347
Figure 1 – Processus de coupure – Périodes principales	211
Figure 2 – Exemples d'évaluation de la tension de rétablissement initiale	212
Figure 3 – Impédance d'onde équivalente du circuit de tension pour la méthode par injection de courant	213
Figure 4 – Processus d'établissement – Instants principaux.....	214
Figure 5 – Exemple de circuit d'essais synthétiques d'établissement pour les essais monophasés	215
Figure 6 – Exemple de circuit d'essais synthétiques d'établissement pour les essais en discordance de phase	216
Figure 7 – Exemple de circuit d'essais synthétiques d'établissement pour les essais triphasés ($k_{pp} = 1,5$)	217
Figure 8 – Évaluation de la tension de rétablissement pendant les essais synthétiques d'établissement et de coupure de courants capacitifs	218
Figure 9 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100a avec $k_{pp} = 1,5$	219
Figure 10 — Comparaison des réglages de la durée d'arc entre les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100a avec $k_{pp} = 1,3$	220
Figure A.1 – Circuit direct, schéma simplifié	228
Figure A.2 – Courant de court-circuit présumé	228
Figure A.3 – Courant déformant.....	228
Figure A.4 – Courant déformant.....	229
Figure A.5 – Schéma de circuit simplifié	230
Figure A.6 – Caractéristiques du courant et de la tension d'arc pour courant symétrique.....	231
Figure A.7 – Caractéristiques de courant et de tension d'arc pour courant asymétrique	232
Figure A.8 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant	233
Figure A.9 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant	234
Figure A.10 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant	235
Figure A.11 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant	236
Figure B.1 – Circuit type à injection de courant où le circuit de tension est en parallèle avec le disjoncteur en essai.....	238

Figure B.2 – Séquence de l'injection du courant dans le circuit de la Figure B.1	239
Figure B.3 – Exemples de détermination de la durée de changement significatif de la tension d'arc à partir d'oscillogrammes	240
Figure C.1 – Schéma caractéristique de l'injection de tension avec le circuit de tension en parallèle avec le disjoncteur auxiliaire (schéma simplifié).....	242
Figure C.2 – Formes d'ondes de TTR obtenues dans un circuit à injection de tension avec le circuit de tension en parallèle avec le disjoncteur auxiliaire	243
Figure D.1 – Circuit de Skeats ou par transformateur.....	245
Figure D.2 – Circuit de Skeats ou par transformateur déclenché.....	246
Figure F.1 – Circuit d'essais de vérification du réallumage thermique de l'interrupteur principal.....	252
Figure F.2 – Circuit d'essais de vérification du réallumage diélectrique de l'interrupteur principal.....	253
Figure F.3 – Circuit d'essais de l'interrupteur de résistance	254
Figure F.4 – Exemple de circuit d'essais pour essais d'établissement et de coupure de courants capacitifs sur l'interrupteur principal	255
Figure F.5 – Exemple de circuit d'essais pour essais d'établissement et de coupure de courants capacitifs sur l'interrupteur de résistance.....	255
Figure G.1 – Circuits à fréquence industrielle connectés en parallèle.....	259
Figure G.2 – Circuit à injection de courant	260
Figure G.3 – Circuit à injection de courant à fréquence industrielle	261
Figure G.4 – Circuit à injection de courant, tension de rétablissement appliquée aux deux bornes du disjoncteur	262
Figure G.5 – Circuit à injection de courant avec compensation de la décroissance	263
Figure G.6 – Circuit oscillant LC	264
Figure G.7 – Circuit d'essai d'établissement du courant d'appel de fermeture	265
Figure H.1 – Exemple de schéma de circuit de réallumage servant à prolonger la durée d'arc	266
Figure H.2 – Exemple de formes d'ondes obtenues pendant un essai symétrique en utilisant le circuit de la Figure H.1	267
Figure J.1 – Circuit combiné d'essais synthétiques triphasés	282
Figure J.2 – Formes d'ondes de courants, tensions phase-terre et entre phases pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,5$) réalisé conformément au circuit combiné d'essais synthétiques triphasés	283
Figure J.3 – Circuit d'essais synthétiques triphasés avec injection dans toutes les phases pour $k_{pp} = 1,5$	284
Figure J.4 – Formes d'ondes de courants et tensions phase-terre pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,5$) réalisé conformément au circuit d'essais synthétiques triphasés avec injection dans toutes les phases	284
Figure J.5 – Circuit d'essais synthétiques triphasés pour les essais de défauts aux bornes avec $k_{pp} = 1,3$ (méthode par injection de courant).....	285
Figure J.6 – Formes d'ondes de courants, tensions phase-terre et entre phases pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,3$) réalisé conformément au circuit d'essais synthétiques triphasés représenté à la Figure J.5	285
Figure J.7 – Formes d'ondes de la TTR du circuit d'essai décrit à la Figure J.5	286
Figure K.1 – Exemple d'un circuit de courant triphasé avec une injection synthétique monophasée	288
Figure K.2 – Représentation des conditions d'essais du Tableau K.1.....	290
Figure K.3 – Représentation des conditions d'essais du Tableau K.2.....	292

Figure K.4 – Représentation des conditions d’essais du Tableau K.3.....	294
Figure K.5 – Représentation des conditions d’essais du Tableau K.4.....	296
Figure K.6 – Représentation des conditions d’essais du Tableau K.5.....	299
Figure K.7 – Représentation des conditions d’essais du Tableau K.6.....	301
Figure K.8 – Représentation des conditions d’essais du Tableau K.7.....	303
Figure K.9 – Représentation des conditions d’essais du Tableau K.8.....	305
Figure L.1 – Exemple de représentation graphique des essais présentés dans le Tableau L.6	316
Figure L.2 – Exemple de représentation graphique des essais présentés dans les Tableaux L.7 et L.8	318
Figure N.1 – Exemple de circuit d’essai pour essais par éléments séparés (disjoncteur avec interaction due à la circulation de gaz)	336
Figure N.2 – Oscillogramme correspondant à la Figure N.1 – Exemple des TTR exigées à appliquer entre les bornes de l’unité (des unités) et entre les parties actives et l’enveloppe isolée	337
Figure N.3 – Exemple de circuit d’essai synthétique pour essais par éléments séparés (si l’essai par éléments séparés est autorisé par le 6.102.4.2 de l’IEC 62271-100:2008/AMD1:2012)	338
Figure N.4 – Oscillogramme correspondant à la Figure N.3 – Exemple des TTR exigées à appliquer entre les bornes de l’unité (des unités) soumise(s) en essai et entre les parties actives et l’enveloppe isolée	339
Figure N.5 – Exemple de circuit pour essais capacitifs avec injection de courant avec enveloppe du disjoncteur sous tension.....	340
Figure N.6 – Exemple de circuit synthétique pour essais capacitifs utilisant deux sources à fréquence industrielle et avec l’enveloppe du disjoncteur sous tension	341
Figure N.7 – Exemple de circuit synthétique pour essais capacitifs avec injection de courant – Essais par éléments séparés d’un demi-pôle d’un disjoncteur ayant deux éléments par pôle – Enveloppe alimentée par une source de tension continue	342
Figure N.9 – Exemple d’essai de pôle complet avec une tension appliquée aux bornes et à l’enveloppe métallique.....	343
Figure O.1 – Exemple de circuit combiné d’injection de courant et de tension avec application de la tension d’essai complète par rapport à la terre	345
Figure O.2 – Exemple de circuit combiné d’injection de courant et de tension avec application séparée de la tension d’essai.....	346
Tableau 1 – Circuits d’essais pour les séquences d’essais T100s et T100a	191
Tableau 2 – Paramètres d’essais pendant la coupure triphasée pour les séquences T10, T30, T60 et T100s $k_{pp} = 1,5$	191
Tableau 3 – Paramètres d’essais pendant la coupure triphasée pour les séquences T10, T30, T60 et T100s $k_{pp} = 1,3$	192
Tableau 4 – Paramètres d’essais pendant la coupure triphasée pour les séquences T10, T30, T60 et T100s $k_{pp} = 1,2$	193
Tableau 5 – Méthodes d’essais synthétiques pour les séquences d’essais T10, T30, T60, T100s, T100a, SP, DEF, OP et SLF	209
Tableau 6 – Abréviations utilisées pour les manœuvres à réaliser pendant les essais synthétiques	196
Tableau I.1 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,3$ et $f_r = 50$ Hz.....	269
Tableau I.2 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,3$ et $f_r = 60$ Hz.....	270

Tableau I.3 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,5$ et $f_r = 50$ Hz.....	271
Tableau I.4 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,5$ et $f_r = 60$ Hz.....	272
Tableau I.5 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,2$ et $f_r = 50$ Hz.....	272
Tableau I.6 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,2$ et $f_r = 60$ Hz.....	273
Tableau I.7 – Pourcentage de la composante continue et du di/dt au zéro de courant pour le premier pôle qui coupe pour $f_r = 50$ Hz	273
Tableau I.8 – Pourcentage de la composante continue et du di/dt au zéro de courant pour le premier pôle qui coupe pour $f_r = 60$ Hz	274
Tableau K.1 – Démonstration des durées d’arc pour $k_{pp} = 1,5$	289
Tableau K.2 – Démonstration alternative des durées d’arc pour $k_{pp} = 1,5$	291
Tableau K.3 – Démonstration des durées d’arc pour $k_{pp} = 1,3$	293
Tableau K.4 – Démonstration alternative des durées d’arc pour $k_{pp} = 1,3$	295
Tableau K.5 – Démonstration des durées d’arc pour $k_{pp} = 1,5$	298
Tableau K.6 – Démonstration alternative des durées d’arc pour $k_{pp} = 1,5$	300
Tableau K.7 – Démonstration des durées d’arc pour $k_{pp} = 1,3$	302
Tableau K.8 – Démonstration alternative des durées d’arc pour $k_{pp} = 1,3$	304
Tableau K.9 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pendant les séquences d’essais T10, T30, T60 et T100s(b).....	307
Tableau K.10 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pendant la séquence d’essais T100a	308
Tableau L.1 – Procédure d’essai pour $k_{pp} = 1,5$ et $2,5$	311
Tableau L.2 – Procédure d’essai pour $k_{pp} = 1,3$ et $2,0$	312
Tableau L.3 – Procédure d’essai simplifiée pour $k_{pp} = 1,3$ et $2,0$	312
Tableau L.4 – Procédure d’essai pour $k_{pp} = 1,2$	313
Tableau L.5 – Procédure d’essai simplifiée pour $k_{pp} = 1,2$	314
Tableau L.6 – Procédure d’essai pour des courants asymétriques pour $k_{pp} = 1,5$	315
Tableau L.7 – Procédure d’essai pour des courants asymétriques pour $k_{pp} = 1,3$	317
Tableau L.8 – Procédure d’essai pour des courants asymétriques pour $k_{pp} = 1,2$	319
Tableau L.9 – Procédure de combinaison de $k_{pp} = 1,3$ et $1,5$ pendant les séquences d’essais T10, T30, T60 et T100s(b).....	320
Tableau L.10 – Procédure de combinaison de $k_{pp} = 2,0$ et $2,5$ pendant les séquences d’essais OP1 et OP2.....	321
Tableau L.11 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pendant la séquence d’essais T100a	322
Tableau L.12 – Paramètres d’essais exigés pour les différentes conditions d’asymétrie pour $k_{pp} = 1,5, f_r = 50$ Hz	323
Tableau L.13 – Paramètres d’essais exigés pour les différentes conditions d’asymétrie pour $k_{pp} = 1,3, f_r = 50$ Hz	324
Tableau L.14 – Paramètres d’essais exigés pour les différentes conditions d’asymétrie pour $k_{pp} = 1,2, f_r = 50$ Hz	325
Tableau L.15 – Paramètres d’essais exigés pour les différentes conditions d’asymétrie pour $k_{pp} = 1,5, f_r = 60$ Hz (1 de 2)	326
Tableau L.16 – Paramètres d’essais exigés pour les différentes conditions d’asymétrie pour $k_{pp} = 1,3, f_r = 60$ Hz (1 de 2)	328

Tableau L.17 – Paramètres d’essais exigés pour les différentes conditions d’asymétrie pour $k_{pp} = 1,2$, $f_r = 60$ Hz	330
Tableau M.1 – Tolérances sur les paramètres d’essais lors des essais de type	332

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

APPAREILLAGE À HAUTE TENSION –

Partie 101: Essais synthétiques

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

Cette version consolidée de la Norme IEC officielle et de son amendement a été préparée pour la commodité de l'utilisateur.

L'IEC 62271-101 édition 2.1 contient la deuxième édition (2012-10) [documents 17A/1015/FDIS et 17A/1024/RVD], son amendement 1 (2017-11) [documents 17A/1149/FDIS et 17A/1154/RVD] et son corrigendum (2018-01).

Cette version Finale ne montre pas les modifications apportées au contenu technique par l'amendement 1. Une version Redline montrant toutes les modifications est disponible dans cette publication.

La Norme internationale IEC 62271-101 a été établie par le sous-comité 17A: Appareillage à haute tension, du comité d'études 17 de l'IEC: Appareillage.

Cette deuxième édition constitue une révision technique.

Les principales modifications par rapport à la précédente édition sont les suivantes:

- ajout des nouvelles tensions assignées 1 100 kV et 1 200 kV;
- révision de l'Annexe F qui traite des disjoncteurs équipés de résistances d'ouverture;
- alignement avec la deuxième édition de l'IEC 62271-100:2008 et Amendement 1 (2012).

Cette publication a été rédigée selon les Directives ISO/IEC, Partie 2.

Cette publication doit être lue conjointement avec l'IEC 62271-100, parue en 2008, auquel elle se réfère. La numérotation des paragraphes de l'Article 6 reprend celle de l'IEC 62271-100. Néanmoins, tous les paragraphes de l'IEC 62271-100 ne sont pas concernés, uniquement ceux où les essais synthétiques ont introduit des changements.

Une liste de toutes les parties de la série IEC 62271, présentée sous le titre général *Appareillage à haute tension*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de la publication de base et de son amendement ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

INTRODUCTION à l'Amendement

Cet amendement inclut les modifications techniques majeures suivantes:

- la procédure d'essai pour la séquence d'essais T100a a été alignée sur celle de l'IEC 62271-100;
- les Annexes A à D ont été transférées vers l'IEC 62271-306;
- l'Annexe I a été révisée et comprend désormais l'Annexe P de l'IEC 62271-100;
- les Annexes K, L et N ont été révisées.

APPAREILLAGE À HAUTE TENSION –

Partie 101: Essais synthétiques

1 Domaine d'application

La présente partie de l'IEC 62271 s'applique principalement aux disjoncteurs à courant alternatif définis dans le domaine d'application de l'IEC 62271-100. Elle donne les règles générales d'essais de ces disjoncteurs, pour les pouvoirs de fermeture et de coupure dans la gamme des séquences d'essais décrites de 6.102 à 6.111 de l'IEC 62271-100:2008, à l'aide de méthodes d'essais synthétiques.

Il a été démontré que l'essai synthétique est un moyen économique et techniquement valable pour essayer les disjoncteurs à courant alternatif à haute tension selon les exigences de l'IEC 62271-100, et qu'il est équivalent à un essai direct.

Les méthodes et techniques décrites sont celles d'usage courant. L'objet de la présente norme est d'établir des critères pour les essais synthétiques et pour l'évaluation correcte des résultats. Ces critères établissent la validité de la méthode d'essai sans limiter l'invention de nouveaux circuits d'essais.

2 Références normatives

Les documents suivants sont cités en référence de manière normative, en intégralité ou en partie, dans le présent document et sont indispensables pour son application. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 62271-100:2008, *Appareillage à haute tension – Partie 100: Disjoncteurs à courant alternatif*

IEC 62271-100:2008/AMD1:2012

IEC 62271-100:2008/AMD2:2017